

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-126927  
 (43)Date of publication of application : 16.05.1997

(51)Int.CI. G01L 9/04  
 H01L 29/84

(21)Application number : 08-247225 (71)Applicant : MOTOROLA INC  
 (22)Date of filing : 28.08.1996 (72)Inventor : SOORIAKUMAR K  
 MONK DAVID J  
 CHAN WENDY K  
 GOLDMAN KENNETH G

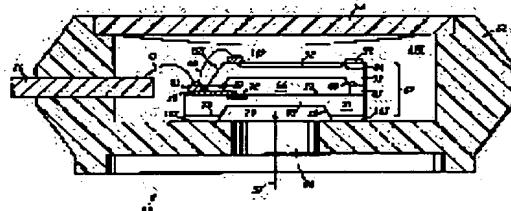
(30)Priority  
 Priority number : 95 523422 Priority date : 05.09.1995 Priority country : US

## (54) VERTICAL INTEGRATED SENSOR STRUCTURE AND FORMATION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a medium coexisting sensor having high cost effect structure by defining an enclosed chamber by means of a base board and a cap board.

**SOLUTION:** The pressure sensor structure 60 comprises a package 61, a sensor element 62, a cover 63, a conductive lead 66 and wire bonds 67, 68. The sensor element 62 comprises a base board 71 and a cap board 72. A conductive layer 79 on the base board 71 connects a converter 78 with a bonding pad 81. An integrated circuit element 92 on the cap board 72 performs signal regulation, temperature compensation, signal amplification, data processing, etc. The cap board 72 is bonded to the base board 71 to obtain an enclosed cavity, i.e., a chamber 96. It functions as a zero pressure reference when a diaphragm 77 is exposed to environmental conditions through an opening 98. When this sensor structure 60 is employed, only the major surface, i.e., the inactive side of base board 71, is exposed to noxious environment, and thereby the medium coexistence is enhanced.



### LEGAL STATUS

[Date of request for examination] 25.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-126927

(13) 公開日 平成9年05月16日

(51) Int.Cl.  
G01L 9/04  
H01L 29/84類別記号  
101F.I.  
G01L 9/04  
H01L 29/84技術表示箇所  
101  
B

## 審査請求、実質請求、請求項の範囲 FD (全 7 頁)

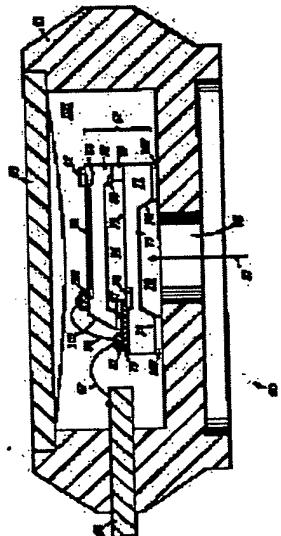
(21) 出願番号 特開平9-247225  
 (22) 出願日 平成9年(1997)5月25日  
 (31) 特許主権番号 523422  
 (32) 优先日 1996年9月5日  
 (33) 优先権主国 米国 (US)

(71) 出願人 390005587  
 モトローラ・インコーポレイテッド  
 MOTOROLA INCORPORATED  
 アメリカ合衆国イリノイ州シャンバーグ  
 イースト・アルゴンクイン・ロード1305  
 (72) 発明者 ケー・スリアクマー  
 アメリカ合衆国アリゾナ州スコッツデー  
 ル、ノース・111ス・ウェイ11919  
 (73) 発明者 デビッド・ジェイ・モンク  
 アメリカ合衆国アリゾナ州スコッツデー  
 ル、ノース・ストリート2920  
 (74) 代理人 弁理士 大賀 浩介 (41名)

## (54) 【発明の名称】 垂直一体化センサ構造および方法

## (57) 【要約】

【課題】 媒体共存可能な垂直一体化センサ構造および方法を提供する。  
 【解決手段】 垂直一体化センサ構造 (60) は、ベース基板 (71) と、このベース基板 (71) に接合されたキャップ基板 (72) とを含む。ベース基板 (71) は、環境条件を検出するための変換器 (78) を含む。キャップ基板 (72) は、変換器 (78) からの出力信号を処理するのに、一方の表面上に形成された電子素子 (92) を含む。センサ構造 (60) は、敏感な電子素子を有害環境から分離する一体化構造を与える。



### 【特許請求の範囲】

【請求項 1】垂直一体化センサ素子であって：第1主面と、該第1主面と対向する第2主面とを有するベース基板（7.1）；前記第2主面から延び、ダイアフラムを形成する空洞（7.6）；前記ダイアフラム上に形成された変換器（7.8）；第3主面と、該第3主面と対向する第4主面とを有するキャップ基板（7.2）であって、前記第3主面は前記第1主面と結合され、前記変換器上に密閉チャンバを形成する前記キャップ構造（7.2）；および前記第4主面に形成された電子素子（9.2）であって、前記変換器に結合された前記電子素子（9.2）；から成ることを特徴とする垂直一体化センサ素子。

【請求項 2】垂直一体化絶対圧力センサ構造であって：第1主面から延びる第1空洞を有し、ダイアフラムを形成する第1基板（7.1）；前記第1基板の第2表面上に形成された変換器（7.8）であって、前記第1空洞が環境的条件に晒されたとき、出力信号を与える前記変換器（7.8）；第3表面と、該第3表面と対向する第4表面とを有する第2基板（7.2）であって、前記第3表面は前記第2表面に接着され、前記ダイアフラム上に密閉チャンバを形成する前記第2基板（7.2）；前記第4表面上に形成された集成回路素子（9.2）であって、前記変換器からの前記出力信号を受信するのに、前記第1基板に結合された前記集成回路素子（9.2）；および圧力ポート（9.8）を有するチップ・キャリア（6.1）であって、前記第1空洞が前記圧力ポートと離間関係を有するよう、前記第1基板が結合された前記チップ・キャリア（6.1）；から成ることを特徴とする垂直一体化絶対圧力センサ構造。

【請求項 3】垂直一体化センサ素子の形成方法であって：ベース基板（7.1）に第1空洞を形成する段階であって、前記ベース基板（7.1）は第1主面と第2主面とを含み、前記第1空洞が前記第1主面から延びてダイアフラムを形成する段階；前記ダイアフラム上に変換器（7.8）を形成する段階；キャップ基板（7.2）上に電子素子（9.2）を形成する段階であって、前記キャップ基板（7.2）は第3主面と第4主面とを含み、前記第4主面上に前記電子素子（9.2）を形成する段階；前記ベース基板（7.1）に前記キャップ基板（7.2）を取り付けて、前記変換器（7.8）上に密閉チャンバを与える段階；前記ベース基板（7.1）をチップ・キャリア（6.1）に取り付ける段階であって、前記チップ・キャリア（6.1）は開口（9.8）を含み、前記第1空洞を前記開口（9.8）と離間関係に置く段階；および前記変換器（7.8）を前記電子素子（9.2）に結合する段階；から成ることを特徴とする方法。

### 【発明の詳細な説明】

#### 【000.1】

【発明の属する技術分野】本発明は、一般的に、電子素子に関し、更に特定すれば、固体センサ素子に関するも

のである。

#### 【000.2】

【従来の技術】シリコンを基礎とする圧力センサ素子を含む固体センサ素子は、既知であり、例えば、自動車、工業、および生物医学等の用途において用いられている。かなりの数の用途では、圧力センサ素子が有害な環境に晒されるため、重要となりつつある。かかる環境は、溶剤混合物（例えば、燃料）、水、塩水、酸、およびアルカリを含む。ユーザは、かかる環境では標準型の圧力センサ素子は破損することを発見した。例えば、溶剤はポリマ製パッケージング材料の膨張および/または溶解の原因となり、水、酸またはアルカリは金属表面を腐食し、水、酸およびアルカリはシリコン表面を溶食する可能性がある。

【000.3】製造者は、媒体共存性（compatibility）を達成する試みにおいて、いくつかの手法を用いてきた。一手法では、フッ化シリコーン・ゲル（fluorosilicone gel）を用いて、センサ素子、ワイヤ・ボンド、パッケージ部分、およびリードを保護する。フッ化シリコーン・ゲルは、燃料との共存が不可能であること（例えば、膨張）を含む、いくつかの欠点を有する。

【000.4】他の手法では、製造者は、有機物質の被膜（例えば、パリレン（polyethylene））を用いて、有害な媒体に晒されるセンサの表面を保護する。有機物質の被膜は、革一で、またはフッ化シリコーン・ゲルと共に用いられる。有機物質の被膜には、プロセス・スループットが低いこと（即ち、低単位/時間）、電気的パラメータには悪影響を与えること、および耐熱すること等の欠点があり、戻食による障害に至る可能性がある。加えて、有機物質の被膜の剥離を防止するには、複雑な接着促進プロセス技術が必要となり、このためにプロセス・サイクル・タイムおよびコストが更に加わることになる。

【000.5】更に他の手法には、背面側、即ち、電子素子を全く含まない側、有害媒体に晒される唯一の側とするものがある。この手法は、有害媒体がダイアフラムの背面側のみにある差圧センサ素子には最適であるが、玄側抑制（topside constraint）が用いられなければ、絶対圧力センサ素子には適していない。玄側抑制方法では、抑制基板（constraint substrate）をセンサ素子に取り付けて、密閉チャンバ（hermetically sealed chamber）を形成し、センサの下側が有害媒体に晒されるようになる。この手法の欠点の一つは、一旦抑制基板をセンサ素子に取り付けると、センサ素子上にある抵抗のレーザ・トリミングが実施不可能となることである。

#### 【000.6】

【発明が解決しようとする課題】容易に理解されよう、従来技術の欠点を克服する、媒体共存可能なセンサ構造および方法が必要とされている。また、説明済の処理技術を利用する費用効果の高い構造を有することも有利であろう。

#### 【0007】

【課題を解決するための手段】 概略的に、本発明は、複体共存可能な垂直一体化センサ素子に関するものである。特に、垂直一体化センサ素子は、変換器と、環境条件を測定するダイアフラムとを有するベース基板と、ベース基板に取り付けられたキャップ基板とを含む。キャップ基板は、その一表面上に電子素子（例えば、受動素子および／または能動素子）が形成されており、変換器からの出力信号を受信するよう接合されている。電子素子は、特に、信号増幅、信号調整、温度補償、スパン補償、データ格納、データ処理、負荷制御、またはそれらの組み合わせを提供する。

#### 【0008】

【発明の実施の形態】 図1は、従来技術の絶対圧力センサ構造の一例を示す。センサ構造10は、パッケージ11と、接合層13によってパッケージ11に接合された圧力センサ素子12を含む。センサ構造10は、更に、パッケージ11と一緒に化されたリード16、圧力センサ素子12をリード16の一本に接続するワイヤ・バンド17、パッケージ11に取り付けられた蓋18、ならびに圧力センサ素子12、ワイヤ・バンド17、およびリード16の一部を覆う保護被膜19（例えば、フッ化シリコン・ゲル）を含む。蓋18は、孔即ち開口21を含み、圧力センサ素子12を環境条件（概略的に矢印22で表す）に晒す開口を設けている。

【0009】 圧力センサ素子12は、半導体ダイ26および抑制ダイ27から成る。半導体ダイ26は空洞28を含み、例えば、ガラス・フリット層（glass frit layer）14を用いて、真空状態で抑制ダイ27に取り付けられ、ゼロ圧力基準を与える。半導体ダイ26は、更に、ダイアフラム29、変換器31、および電子素子32を含む。変換器31は、例えば、ダイアフラム29の上面に圧力が加えられたときに出力信号を発生する、ビエゾ抵抗素子から成る。変換器31は電子素子32に接合され、例えば、信号調整および／または信号増幅が行われる。電子素子32は、通常、パッケージ・レベルにおいて、（例えば、レー・トリム技術を用いて）調整される可調整抵抗素子（例えば、トリマブル抵抗(trimable resistor））を含み、所望仕様範囲内の電気的のパラメータを有する圧力センサ素子が得られる。

【0010】 圧力センサ構造10は、燃料のような有害環境に晒される場合に、いくつかの欠点がある。例えば、保護被膜19は、通常、燃料との共存が不可能である（即ち、保護被膜19は、燃料があると、膨張する傾向がある）。保護被膜19が大きく収縮すると、その初期体積を超えて収縮する傾向があるため、ワイヤ・バンド17および／または圧力センサ素子12を露出させることになる。また、保護被膜19は、有害物質に対して透過性があるため、有害物質が保護被膜19を通過して、ワイヤ・バンド17および圧力センサ素子12に到

達する可能性がある。一旦有害物質がワイヤ・バンド17および圧力センサ素子12に到達すると、腐食が生じ、とりわけ、信頼性に関する問題の原因となる。

【0011】 図2は、他の従来技術の絶対圧力センサ構造の拡大断面図を示す。センサ構造40は、パッケージ構造42に取り付けられた圧力センサ素子41を含む。パッケージ構造42は、概略的に矢印44で表された測定対象圧力状態に圧力センサ素子41を晒す開口43を有する。圧力センサ素子41は、ダイアフラム46と、センサ構造40が圧力状態に晒されたときに出力信号を発生する変換器47とを含む。ワイヤ・バンド52が圧力センサ素子41をリード53に接続する。

【0012】 抑制ダイ49が、真空状態の下で、圧力センサ素子41の上面に取り付けられ、真空空洞51を形成する。これは、ゼロ圧力基準を与える。抑制ダイ49を圧力センサ素子41に取り付けるには、通常ガラス（例えば、硼珪酸ガラス）からなる接合層7を用いる。

【0013】 センサ構造40は、変換器47およびワイヤ・バンド52が有害媒体から分離されているという点で、センサ構造10に對して利点を有する（即ち、圧力センサ素子41の下面だけが、開口43を通して有害媒体に晒される）。しかしながら、センサ構造40は、抑制ダイ49が圧力センサ素子41上での信号処理および／または増幅回路の一体化を複雑にするという欠点がある。

【0014】 抑制ダイ49のため、製造者には、圧力センサ素子41のパッケージングに於く、チップ上のトリマブル抵抗を用いた素子の校正が困難になる。これは、抑制ダイ49を介して抵抗をトリムできないからである。抑制ダイ49の圧力センサ素子41への取り付けは、製造上の制約のために、両方共ウエハ形状である間に行われる。抵抗のトリミングは、圧力センサ素子が種々の温度および圧力状態を受けている間にパッケージ・レベルで行われ、製造および組み立て双方のばらつきに対する校正が行われる。言い換えれば、抑制ダイ49が圧力センサ素子41に取り付けられる前に、トリミングがウエハ・レベルで行われるのでは、素子全体の校正にはさほど効果的ではない。製造者は、より大きなパッケージの中に、第2チップをセンサ構造40の外部、あるいは圧力センサ素子41に隣接して（即ち、平置構造）接続し、あらゆる信号調整および／または信号増幅を与えることによって、この問題を回避している。これらの手法にはいくつかの欠点があり、素子全体のフット・プリントの大型化（多くの用途には、パッケージが大き過ぎる）、基板の追加（即ち、絶対圧力センサは第3基板を必要とする）、組み立てコストの追加、および素子全体の一体化への傾向からの逸脱が上げられる。

【0015】 図3は、本発明による、媒体共存可能な垂直一体化圧力センサ構造の一実施例の拡大断面図を示す。

す。図3に示す実施例は、絶対圧力センサの実施例である。圧力センサ構造即ちセンサ構造60は、パッケージ即ちチップ・キャリア構造61、センサ素子62、蓋即ち遮蔽63、遮電性リード66(リード1本のみを示す)、およびワイヤ・ボンド67、68から成る。センサ素子62は、ベース基板即ち部分7-1、およびベース基板7-1の正面7-3に取り付けられたキャップ基板即ち部分7-2から成る。

【00-16】ベース基板7-1は、半導体物質(例えば、シリコン、珪化ガリウム等)から成り、正面7-4から延びる空洞7-6を含む。空洞7-6はダイアフラム7-7を形成するように形成する。空洞7-6を形成する技法は既知である。空洞7-6は、テーパ状側壁を有するものとして、図示されている。あるいは、空洞7-6は直線状の側壁を有してもよく、この場合ベース基板7-1の小型化が図られる。直線状の側壁を形成する技法は既知である。

【00-17】ベース基板7-1は、更に、正面7-3上に形成され、そこから延びる変換器7-8(例えば、ピエゾ抵抗素子)を含む。塗電層7-9(1枚の塗電層のみを示す)が変換器7-8をボンディング・パッド8-1(1つのボンディング・パッドのみを示す)に接続する。塗電層7-9は、金属、金属化合物、高遮度ドープ・シリコン、シリサイド、ドープ半導体物質(例えば、ドープ・ポリシリコン)、これらの組み合わせ等から成る。塗電層7-9が高遮度ドープ・シリコンを含む場合、塗電層7-9は正面7-3からベース基板7-1内に向かって延びることが好ましい。ボンディング・パッド8-1は、好ましくは、アルミニウムまたはアルミニウム合金のような金属から成る。塗電層7-9およびボンディング・パッド8-1を形成する技法は既知である。オプションとして、塗電層7-9上に保護層1-11(図5に示す)を形成する。保護層1-11は、例えば、窒化シリコン、酸化シリコン、これらの組み合わせ等から成る。キャップ基板7-2は、半導体物質(シリコン、ガリウム砒素等)、絶縁物上半導体(SOI:semiconductor-on-insulator)等から成り、正面8-3と正面8-4とを含む。キャップ基板7-2は、オプションとして、正面8-3から延びる空洞9-1(図4に示す)を含む。空洞9-1は、正面8-3から、約1.0ないし約2.0ミクロンの距離にわたって延びる。空洞9-1の形成には、既知の技法が用いられる。好ましくは、空洞9-1は、ウエハ処理の最後(即ち、電子素子がキャップ基板7-2上に形成された後)に形成され、空洞9-1が形成される間、正面8-4上に形成された保護層によって電子素子を保護する。プラスチック変化シリコン膜のような低温無機膜が最適である。あるいは、キャップ基板7-2は、空洞を有さない場合もある(この代替実施例を図5に示す)。

【00-18】キャップ基板7-2は、更に、正面8-4上に形成され、および/またはこれから延びる電子素子、即ち、集積回路素子9-2を含む。電子素子9-2は、とりわけ、信号調整、温度補償、スパン補償、信号増幅、データ格納、データ処理、負荷制御、および/またはこれらとの組み合わせを与えるように集積された、受動および能動素子を含む。例えば、電子素子9-2は、コシデンサ、薄膜抵抗(例えば、可調整抵抗または抵抗素子)、抵抗抵抗、ダイオード、CMOSおよびバイポーラ論理素子、またはこれらの組み合わせ、絶縁ゲート電界効果トランジスタ素子(IGFET)増幅器、および/またはスイッチング素子、ハイポーラ・トランジスタ増幅器および/またはスイッチング素子、JFET素子等を含む。

【00-19】上述の素子を組み込んだ一体化センサの回路設計は、当技術では既知である。その例は、L. Bistline ed., *Sensor Technology and Devices*, Artech House, (1994); *Sensor Device Data*, Motorola Inc., 3rd edition, 1995, L. Baskett および H. Tanigawa et al. に特許された。"MOS Integrated Silicon Pressure Sensor"と題する米国特許第5,132,559号、IEEE Trans. Electron Devices, vol. ED-32, no. 7, pp. 1191-1195, July 1985に示されている。電子素子9-2を形成する技法は既知であり、酸化、堆積、イオン注入、抵抗、フォトリソグラフ、エッチング、およびメタライゼーション技法が含まれる。

【00-20】接合層8-7を用いて、正面8-3の一部を正面7-3に接合する。接合層8-7は、陽極接合層(anodic bonding layer)、共晶接合層(例えば、金/銀)、ガラス・フリット接合層等から成る。好ましくは、接合層8-7は、低融点(約450℃ないし約550℃)無機酸化物ガラス(例えば、硼珪酸鉄、チタン化鉄、および/またはパナジン酸鉄の混合物)のようなガラス・フリット物質から成る。かかるガラスは、カリ・オルニニア州、サンタ・バーバラのFerraroから入手可能である(例えば、Ferraro FX-11-10)。

【00-21】正面8-3を正面7-3に接合する際、例えば、正面8-3にペースト状のガラス・フリットを塗布する。このペーストは、ガラス・フリットと有機固着剤との混合物から成る。このガラス・ペーストを、従来のシリク・スクリーン・プロセスを用いて堆積する。あるいは、ガラス・ペーストを正面7-3上に堆積してもよい。ガラスの厚さは約2.0ミクロンが最適である。シリク・スクリーン工程に続いて、キャップ基板7-2を乾燥させ、次いで高温で火入れして、有機固着剤を消滅させ、粉状ガラスを焼結する。

【00-22】次に、正面8-3と正面7-3との位置合わせを行い、互いに密着状態とする。次いで、このアセンブリを真空状態でガラスの軟化点を超える温度に加熱し、正面8-3を正面7-3に接合する。ガラス・フリット接合器のような機器は、キャップ基板7-2をベース基板7-1に接合するのに最適である。かかる機器は、アリゾナ州フェニックスに主工場を有するオーストリリア、セント・

・ フロリアンの Electronic Visions  
Co. から入手可能である。

【0023】通常、低ほうろう引き粉状ガラス(low melting powdered glass)を用いる場合、約490°C未満のプロセス温度を用いて、アルミニウム/シリコンによる変換器70や電子素子92の突入(spiking)および/または損傷を回避する。一旦接合が完了したら、密閉空洞即ちチャンバ76が得られる。これは、概略的に矢印97で表すように、開口即ち圧力ポート98を通じてダイアフラム77を環境条件に晒すときに、ゼロ圧力基準として機能する。

【0024】好ましくは、キャップ基板72のベース基板71への接合は、双方がウエハ形状の間に用いる。即ち、いずれかのウエハを個々のチップに切断する前に、多くのキャップ基板72を含むウエハを、多くのベース基板71を含むウエハに接合する。あるいは、多くのキャップ基板72を含むウエハおよび多くのベース基板71を含むウエハを、最初に切断しておき、次に個々のキャップ基板72を個々のベース基板71に接合してもよい。

【0025】好ましくは、キャップ基板72は斜線(bveled edge)101を含むことにより、ベース基板71をキャップ基板72に電気的に接合するワイヤ・ボンド58の吸着性を向上する。好ましくは、ワイヤ・ボンド57、58は、金またはアルミニウムから成る。図3には、ワイヤ・ボンド57、58は各1つしか示されていないが、多數のワイヤ・ボンドを用いて、キャップ基板72をベース基板71に、ベース基板71をリード56に、および/またはキャップ基板72をリード56に接続することは理屈されよう。ベース基板71をキャップ基板72に電気的に接合するには、埋込み接点(buried contacts)、拡散接点、導電性クリップ、および/またはこれらの組み合わせを含む、他の技法を用いることも可能である。

【0026】正面84は、ワイヤ・ボンド58をキャップ基板72に接合するためのボンド・パッド102(1つのみを示す)を含む。電子素子92は、従来の塗電線(図示せず)を用いて、ボンド・パッド102に接合される。更に別のボンド・パッド102およびワイヤ・ボンド58(図示せず)を用いて、電子素子92からの出力信号をリード56に電気的に接続する。

【0027】図4は、斜線101を形成するための好適な方法を示すための、キャップ基板72の拡大断面図を示す。まず、キャップ基板72がウエハ形状であり、ベース基板71に未だ接合されない間に、保護層103をキャップ基板72の正面84上、およびウエハ部分104上に形成する。このウエハ部分104は、キャップ基板72がウエハ形状である間、キャップ基板72に接する部分である。通常、保護層103は、ウエハ部分104とキャップ基板72との間の物質がエッチングされ

る間、エッチングされない物質から成る。好ましくは、保護層103は、窒化シリコンまたは酸化シリコンのような諸電体層から成る。保護層103を形成した後、開口105をエッチングする。キャップ基板72がシリコンから成る場合、開口105をエッチングするには、従来のシリコンエッチング技法(例えば、水酸化カリウム(KOH)、水酸化テラメチル・アンモニウム(TMAH)、またはドライ・エッチング技法(例えば、深反応性イオノ・エッチング技法)を用いる。

【0028】再び図3を参照する。正面74が開口98の上となるように、即ち、開口98と越層関係となるように、接合層107を用いてセンサ素子62をチップ・キャリア61に取り付ける。接合層107は、例えば、金ガラス、金/シリコン共晶、錫/銅はんだ、エポキシ、エラストマ・ダイ接合物質(例えば、ジメジル・シリコーンまたはフッ化シリコーン)等から成る。一旦センサ素子62をチップ・キャリア61に取り付けたなら、センサ構造60を種々の温度および圧力条件に晒しながら、既知のレーザ・トリミング技法を用いて、チップ基板72上にある可調節抵抗を調整する。

【0029】オプションとして、センサ構造60は保護ゲル層108(例えば、フッ化シリコーン・ゲル等)を含み、例えば、水分から素子を保護する。媒体への露出は開口98を介して媒体に晒される正面74にのみ起こるので、保護ゲル108は、センサ構造60におけるように、有害媒体には晒されない。したがって、先に論じた膨張および腐食という問題は回避される。別の実施例では、窒化シリコン、酸化シリコン、パリレン等のような密着膜で正面74を接覆し、媒体共存性を更に高めている。

【0030】図5は、本発明による媒体共存可能な垂直一体化圧力センサ構造の他の実施例の一部を示す拡大断面図である。センサ構造150は、キャップ基板172に空洞がないことを除いて、センサ構造60と同様である。更に、キャップ基板172は多數の斜線201、202を有する。これらは、例えば、図4に示すような一方側からではなく、キャップ基板172の両側からエッチングすることによって形成される。加えて、センサ構造150は、塗電線79の一方上に保護層111を含む。

【0031】センサ構造150において、接合層87は、真空空洞即ちチャンバ196を設けるためのスタンダ・オフ(stand-off)として機能する。好ましくは、接合層87は、ダイアフラム77の母材113から、約50ミクロンより大きく約2.5ミクロンまでの距離112だけ離隔され、接合層87がダイアフラム77および変換器76の機能性に影響を与えないようとする。

【0032】センサ構造60、150は、従来技術に対して、いくつかの重要な利点がある。第1に、有害環境に晒されるのは下面(即ち、正面74)、即ち、ベース

基板7-1の不活性側のみであるので、媒体共存性が高められる。即ち、変換器、電子素子、ワイヤ・バンド、およびリードは、有活性体から分離される訳である。また、電子素子をキャップ基板7-2上に配置したことにより、可調取扱電子をパッケージ・レベルでトリムして、とりわけ、正確なスパンおよび温度補償を提供することができる。加えて、電子素子をキャップ基板7-2上に配置することによって、外部一体化や平置一体化が回避されるので、ダイ全体のサイズおよびパッケージのフット・プリントの小型化が図られる。これによって、非常に小さいパッケージにおいて、非常に高い集成レベルが得られる。更にまた、本発明は、既存の(即ち、信頼性が証明されている)処理技術を利用してるので、コスト効果が高い。

【0033】以上の説明から、従来技術に対して重要な利点を有する、媒体共存可能な垂直一体化センサ素子が提供されたことは明白であろう。特許請求の範囲に記載された本発明の精神および範囲から逸脱することなく、当業者による種々の他の同様な実施例や変更が可能であろう。

#### 【図面の簡単な説明】

【図1】従来技術のセンサ構造を示す拡大断面図。

【図2】他の従来技術のセンサ構造を示す拡大断面図。

【図3】本発明による、垂直一体化センサ構造を示す拡大断面図。

【図4】本発明によるキャップ基板を示す拡大断面図。

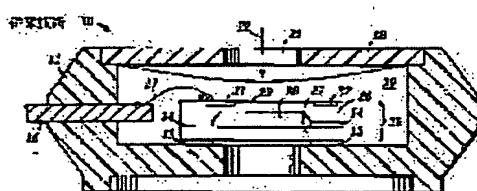
【図5】本発明による他の垂直一体化センサ構造の一部を示す拡大断面図。

#### 【符号の説明】

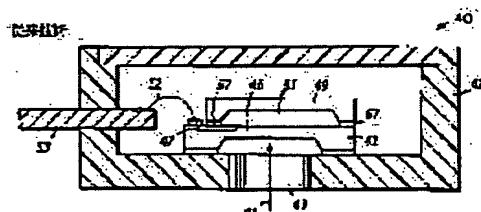
6-0 センサ構造

6.1	チップ・キャリア構造
6.2	センサ素子
6.3	遮蔽
6.6	導電性リード
6.7, 6.8	ワイヤ・バンド
7.1	ベース基板
7.2	キャップ基板
7.6	空洞
7.9	導電層
7.8	変換器
8.1	ボンディング・パッド
8.7	接合層
9.1	空洞
9.2	集積回路素子
9.6	密閉空洞
9.8	圧力ポート
1.0.1	斜線
1.0.2	ボンド・パッド
1.0.3	保護層
1.0.4	ウエハ部分
1.0.6	開口
1.0.7	接合層
1.0.8	保護ゲル層
1.1.1	保護層
1.1.3	線
1.6.0.	センサ構造
1.7.2	キャップ基板
1.9.5	真空空洞
2.0.1, 2.0.2	斜線

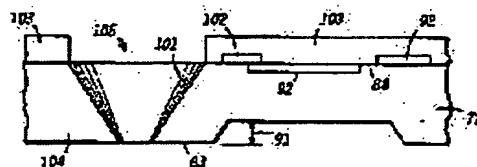
【図1】



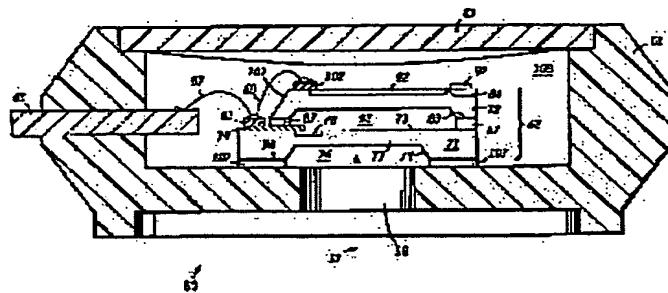
【図2】



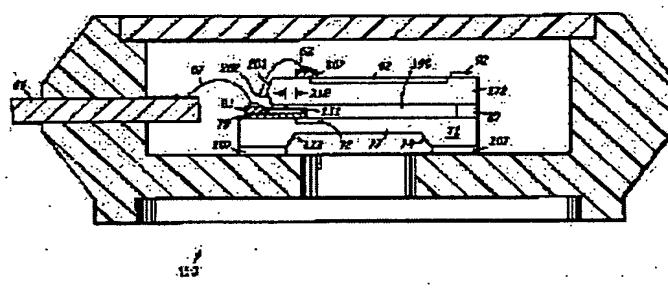
【図3】



【図3】



【図5】



フロントページの続き

(72)発明者 ウェンディ・ケー・チャン  
アメリカ合衆国アリゾナ州スコットsdale  
ル、ナンバー261、イースト・リンクー  
ン・ドライブ6025

(72)発明者 ケネス・ジー・ゴールドマン  
アメリカ合衆国アリゾナ州チャンドラー、  
ウェスト・ホワイティン・ストリート5330